

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号
特開2001-308141
(P2001-308141A)

(43) 公開日 平成13年11月2日(2001.11.2)

(51) Int.Cl.⁷

H 0 1 L 21/60

H 0 5 K 3/32

識別記号

3 1 1

F I

H 0 1 L 21/60

H 0 5 K 3/32

テーマコード*(参考)

3 1 1 Q 5 E 3 1 9

Z 5 F 0 4 4

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号 特願2000-249206(P2000-249206)

(22) 出願日 平成12年8月11日(2000.8.11)

(31) 優先権主張番号 特願2000-46821(P2000-46821)

(32) 優先日 平成12年2月18日(2000.2.18)

(33) 優先権主張国 日本(J P)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 岩橋 真司

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(72) 発明者 関根 淳一

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100094053

弁理士 佐藤 隆久

最終頁に続く

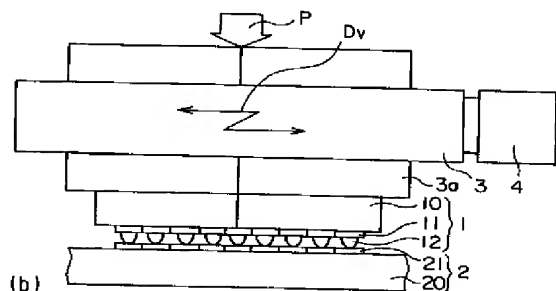
(54) 【発明の名称】 電子回路装置の製造方法

(57) 【要約】

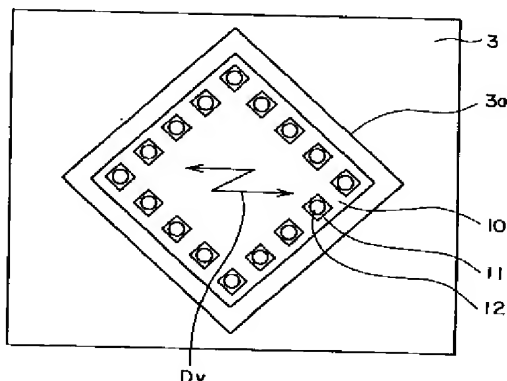
【課題】 クレータリングなどの機械的損傷を発生させることなく、接合強度を確保して bumps を接合することが可能な電子回路装置の製造方法を提供する。

【解決手段】 ガラスエポキシ系材料などからなる基板 20 に電極 21 が形成された実装基板 2 上に、半導体チップの回路パターンに接続するように略多角形状などに半導体チップ上に配列して形成された複数の bumps 12 を有する半導体装置 1 を実装した電子回路装置の製造方法であって、まず、bumps 12 と電極 21 とを位置合わせして半導体装置 1 を実装基板 2 上に載置する。次に、半導体装置 1 上面から押圧して bumps 12 と電極 21 を密着させながら、半導体チップの対角線方向など、略多角形状に配列された bumps が構成する多角形の辺と平行ないずれの方向とも異なる方向を超音波振動印加方向 D_v として超音波振動を印加して、発生する熱により bumps 12 と電極 21 とを熱融着させる。

(a)



(b)



【特許請求の範囲】

【請求項 1】半導体チップの回路パターンに接続するように、略多角形状あるいは直線状に前記半導体チップ上に配列して形成された複数個の bumps を有する半導体装置を、電極を有する実装基板上に実装した電子回路装置の製造方法であって、

前記 bumps と前記電極とを位置合わせして前記半導体装置を前記実装基板上に載置する工程と、

前記 bumps と前記電極を密着させながら、前記略多角形状に配列された bumps が構成する多角形の辺と平行ない

10

ずれの方向とも異なる方向に、あるいは、前記直線状に配列された bumps が構成する直線と平行である方向と異なる方向に、前記半導体装置に対して超音波振動を印加する工程とを有する電子回路装置の製造方法。

【請求項 2】前記半導体装置に対して超音波振動を印加する方向が、前記超音波振動印加時の前記 bumps 一個あたりに作用する抗力を均一化する方向である請求項 1 記載の電子回路装置の製造方法。

【請求項 3】前記 bumps 一個あたりに作用する抗力を均一化する方向は、前記超音波振動を印加する方向に沿った bumps 間の距離が、最小の bumps 間の距離よりも大

20

きくなる方向である請求項 2 記載の電子回路装置の製造方法。

【請求項 4】前記半導体装置上に前記 bumps が略矩形に配置されており、前記半導体装置に対して超音波振動を印加する方向が、前記半導体チップの対角線方向である請求項 1 記載の電子回路装置の製造方法。

【請求項 5】前記実装基板として、ガラスエポキシ系材料からなる基板に配線が形成された実装基板を用いる請

30

求項 1 記載の電子回路装置の製造方法。

【請求項 6】前記略多角形状に配列された bumps が構成する多角形の辺と平行ないずれの方向とも異なる方向に、あるいは、前記直線状に配列された bumps が構成する直線と平行である方向と異なる方向に、前記半導体装置に対して超音波振動を印加する方法として、振り振動を用いる請求項 1 記載の電子回路装置の製造方法。

【請求項 7】前記半導体装置に対して超音波振動を印加する方法として、前記振り振動に、さらに前記実装基板表面に対する法線方向の振動を複合した振動を用いる請

40

求項 6 記載の電子回路装置の製造方法。

【請求項 8】半導体チップの回路パターンに接続するよう

50

に、略多角形状に前記半導体チップ上に配列して形成された複数個の bumps を有する半導体装置を、電極を有する実装基板上に実装した電子回路装置の製造方法であって、

前記 bumps と前記電極とを位置合わせして前記半導体装置を前記実装基板上に載置する工程と、

前記 bumps と前記電極を密着させながら、前記略多角形状に配列された bumps が構成する多角形の各辺と直交する方向毎に、複数回に分けて前記半導体装置に対して超音波振動を印加する工程とを有する電子回路装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電子回路装置の製造方法に関し、特に、小型化および高密度化されたパッケージ形態を有する半導体装置を実装基板上に実装した電子回路装置の製造方法に関する。

【0002】

【従来の技術】デジタルビデオカメラ、デジタル携帯電話、あるいはノートパソコンなど、携帯用電子機器の小型化、薄型化、軽量化に対する要求は強くなる一方であり、これに応えるために近年の VLSI などの半導体装置においては 3 年で 7 割の縮小化を実現してきた一方で、実装基板上の部品実装密度をいかに向上させるかが重要な課題として研究および開発がなされてきた。

【0003】従来、半導体装置のパッケージ形態としては、DIP (Dual Inline Package) あるいは PGA (Pin Grid Array) などのプリント基板に設けたスルーホールにリード線を挿入して実装するリード挿入型 (THD: Through Hole Mount Device) や、QFP (Quad Flat Package) あるいは TCP (Tape Carrier Package) などのリード端子を基板の表面にハンダ付けして実装する表面実装型 (SMD: Surface Mount Device) が用いられてきた。さらに、装置の小型化、高密度化のために、パッケージサイズを半導体チップの大きさに限りなく近づけたチップサイズパッケージ (CSP: Chip Size Package、FBGA (Fine-Pitch BGA) と呼ばれる) と呼ばれるパッケージ形態へと移行してきた。

【0004】さらなる装置の小型化、高密度化を実現するために、裸の半導体チップ (ベアチップ) を実装基板上に実装する方法が開発された。ベアチップ実装技術には、半導体チップを電極形成面を上面にして実装基板上にダイボン

ドし、その後ワイヤボンディングにより半導体チップ電極と実装基板電極を電気的に接続する COB (Chip On Board) 形態と、チップ電極に予め bumps (突起電極) を形成しておき、bumps 形成面を実装基板

に向けるフェースダウン方式で、バンパにより半導体チップ電極と実装基板電極を電氣的かつ機械的に接続するフリップチップ形態とがある。

【0005】上記のフリップチップ形態において、半導体チップにバンパを形成する方法は、大きく分けて金などのスタッドバンパ方式とはんだバンパ方式がある。スタッドバンパは、金ワイヤなどを用いたワイヤボンディングにより半導体チップ上に形成され、一方はんだバンパはメッキ方式、蒸着方式、ボール転写方式などにより形成される。上記のスタッドバンパ方式は、回路パターンの外周部を取り囲むようにチップ外周近傍にパッドを形成した、いわゆるペリフェラルパッドの半導体チップに主として適用され、はんだバンパ方式は、ペリフェラルパッドの半導体チップの他、半導体チップ全面に配置されるエリアパッド化された半導体チップを含む半導体チップに広く適用されている。

【0006】上記のスタッドバンパ方式あるいははんだバンパ方式で形成されたバンパを有する半導体チップを、バンパと実装基板の電極とが密着するように実装基板上に押圧しながら、半導体チップあるいは実装基板に超音波振動を印加することでバンパ接合を形成する方法が開発されている。上記の実装方法について図面を参照して以下に説明する。

【0007】図1(a)は、上記の実装方法において実装する半導体装置の断面図であり、図1(b)は平面図である。半導体チップ10の電子回路パターンの外周部を取り囲むようにチップ外周近傍において、上記電子回路パターンに接続するように、例えばアルミニウムなどからなるパッド電極11が形成されている。上記パッド電極11形成面は、例えば不図示の窒化シリコン層あるいはポリイミド層からなる表面保護膜に被覆されており、パッド電極11部分が開口している。上記開口部において、金などの導電体からなるバンパ12が形成されており、正方形形状に配列されている。以上のようにペリフェラルパッド型の半導体チップ1が構成されている。

【0008】図20(a)は、上記の半導体装置1を実装する工程の側面図であり、図20(b)は要部平面図である。上記の半導体装置1を実装する実装基板2は、例えばセラミックス系材料よりなる基板20の上面において、実装する半導体装置1のバンパ12形成位置に対応する位置に、例えば銅などからなる導電層の表面をメッキ処理によりニッケルおよび金などにより被覆されたランド(電極)21が形成されている。ランド21に接続して、基板20の表面上あるいは裏面上、もしくは両面上に形成されている図示しないプリント配線部を有している。

【0009】半導体装置1を実装するには、上記の半導体装置1のバンパ12と、実装基板2のランド21を対応させてマウントし、半導体装置1の上面をホーン3の

凸部(ボンディングツール)3a表面により圧力Pを印加し、バンパ12とランド21を密着させた状態で、ホーン3に接続された振動子4により方向D_vに振幅する超音波振動を発生させる。このとき、ホーン3は上記方向D_vに超音波振動の振幅を増幅しながら、バンパ12とランド21の密着箇所へ超音波振動を印加する。ここで、超音波振動の振動方向D_vは、バンパ12の配列方向に対して直交する方向あるいは平行な方向となっている。上記の超音波印加装置は、図20(a)のような片支持式の他、特許掲載公報2915350号や特開平11-45912号公報に記載されている両支持式の装置を用いることも可能である。

【0010】上記において、ホーン3は例えば100℃程度に予め加熱されており、さらに上記の超音波振動を印加されたことによりバンパ12とランド21の密着箇所に摩擦熱が発生する。バンパ12が金からなり、ランド21表面が金メッキされている場合には、バンパ12とランド21とが金属結合によりバンパ接合を形成するのに209℃以上の温度が必要であるが、上記摩擦熱によりバンパ12とランド21の密着箇所の温度が上記金属結合する温度を超え、バンパ12とランド21とを機械的、電氣的に接続することができる。このようにして、図21に示すような半導体装置1を実装基板2に実装した電子回路装置を製造することができる。上記の半導体装置1を実装基板2に実装した電子回路装置は、例えば半導体装置1と実装基板2に間を樹脂により封止して使用される。

【0011】上記の超音波振動を印加することでバンパ接合を形成して実装する方法においては、超音波振動の振幅を大きくする、半導体装置を押圧する圧力を高める、あるいは、超音波振動印加時間を長くするなどの方法により、バンパの接合強度を高めることができる。

【0012】しかし、上記のように、バンパの接合強度を高めるために、超音波振動の振幅を大きくした場合、半導体装置を押圧する圧力を高めた場合、あるいは、超音波振動印加時間を長くした場合、バンパ接合部にクラックが発生する危険性がある。特に、図22に示すように、半導体チップ10上に形成されているアルミニウムなどからなるパッド電極11に発生するクラックKはクレタリングと呼ばれる。従って、クレタリングなどの機械的損傷が発生しないように、超音波振動強度を調節してバンパの接合強度を確保する必要がある。

【0013】

【発明が解決しようとする課題】しかしながら、従来、複数のバンパが任意の形状に配列されているような半導体装置においては、全てのバンパを上記のように、接合力が所望の値以上で、かつ重大な機械的損傷が発生しないとの条件で接合させることができない場合が生じるとの問題があった。

【0014】例えば、図1(b)に示すバンパ12が半

10

20

30

40

50

導体チップの外周部に矩形形状に 1 列に配列されている半導体チップにおいて、超音波振動の振動方向を矩形形状の任意の辺と同一の方向にした場合、全てのバンプの接合強度を所定の値以上にするように接合条件を最適化すると、超音波振動印加方向と直交する方向の辺に配置されたバンプ、特に矩形形状の角部のバンプに上記クレータリングが発生しやすくなる。また、反対に、全バンプについて上記クレータリングが発生しないように接合条件を設定すると、超音波振動印加方向と平行な辺に配置されたバンプの接合強度が十分得られなくなる。上記の現象は、特に実装基板としてガラスエポキシ系材料などの硬度の低い基板を用いた場合に顕著となる。

【0015】本発明は上記の問題を鑑みなされたものであり、本発明は、複数のバンプが任意の形状に配列されている半導体装置において超音波接合により実装基板に実装する方法において、電氣的に接続する全てのパッド部にクレータリングなどの機械的損傷を発生させることなく、接合強度を確保してバンプを接合することが可能な電子回路装置の製造方法を提供することを目的とする。

【0016】

【課題を解決するための手段】上記の目的を達成するため、本発明の電子回路装置の製造方法は、半導体チップの回路パターンに接続するように、略多角形状あるいは直線状に前記半導体チップ上に配列して形成された複数のバンプを有する半導体装置を、電極を有する実装基板上に実装した電子回路装置の製造方法であって、前記バンプと前記電極とを位置合わせして前記半導体装置を前記実装基板上に載置する工程と、前記バンプと前記電極を密着させながら、前記略多角形状に配列されたバンプが構成する多角形の辺と平行ないずれの方向とも異なる方向に、あるいは、前記直線状に配列されたバンプが構成する直線と平行である方向と異なる方向に、前記半導体装置に対して超音波振動を印加する工程とを有する。

【0017】上記の本発明の電子回路装置の製造方法は、好適には、前記半導体装置に対して超音波振動を印加する方向が、前記超音波振動印加時の前記バンプ一個あたりに作用する抗力を均一化する方向、例えば、前記超音波振動を印加する方向に沿ったバンプ間の距離が、最小のバンプ間の距離よりも大きくなる方向である。

【0018】上記の本発明の電子回路装置の製造方法は、好適には、前記半導体装置上に前記バンプが略矩形に配置されており、前記半導体装置に対して超音波振動を印加する方向が、前記半導体チップの対角線方向である。

【0019】上記の本発明の電子回路装置の製造方法は、好適には、前記実装基板として、ガラスエポキシ系材料からなる基板に配線が形成された実装基板を用いる。

【0020】上記の本発明の電子回路装置の製造方法は、好適には、前記略多角形状に配列されたバンプが構成する多角形の辺と平行ないずれの方向とも異なる方向に、あるいは、前記直線状に配列されたバンプが構成する直線と平行である方向と異なる方向に、前記半導体装置に対して超音波振動を印加する方法として、振り振動を用いる。さらに好適には、前記半導体装置に対して超音波振動を印加する方法として、前記振り振動に、さらに前記実装基板表面に対する法線方向の振動を複合した振動を用いる。

【0021】上記の本発明の電子回路装置の製造方法は、半導体チップの回路パターンに接続するように、略多角形状あるいは直線状に半導体チップ上に配列して形成された複数のバンプを有する半導体装置を、ガラスエポキシ系材料などからなる基板に電極が形成された実装基板上に実装した電子回路装置の製造方法であって、まず、バンプと電極とを位置合わせして半導体装置を実装基板上に載置する。次に、バンプと電極を密着させながら、略多角形状に配列されたバンプが構成する多角形の辺と平行である方向のいずれとも異なる方向に、あるいは、前記直線状に配列されたバンプが構成する直線と平行である方向と異なる方向に、半導体装置に対して超音波振動を印加する。上記の半導体装置に対して超音波振動を印加する方向は、超音波振動印加時のバンプ一個あたりに作用する抗力を均一化する方向、例えば、超音波振動を印加する方向に沿ったバンプ間の距離が、最小のバンプ間の距離よりも大きくなる方向とする。半導体装置上に前記バンプが略矩形に配置されている場合には、半導体装置に対して超音波振動を印加する方向が、半導体チップの対角線方向とする。

【0022】また、略多角形状に配列されたバンプが構成する多角形の辺と平行ないずれの方向とも異なる方向に、あるいは、直線状に配列されたバンプが構成する直線と平行である方向と異なる方向に、半導体装置に対して超音波振動を印加する方法として、振り振動を用いても良く、さらに、この振り振動に対して実装基板表面に対する法線方向の振動を複合した振動を用いる。ここで、振り振動とは、実装する半導体チップの重心などを中心として回転する方向への振動である。

【0023】上記の本発明の電子回路装置の製造方法によれば、半導体チップの対角線方向など、略多角形状に配列されたバンプが構成する多角形の辺と平行である方向のいずれとも異なる方向に、あるいは、直線状に配列されたバンプが構成する直線と平行である方向と異なる方向に、超音波振動を印加するので、超音波振動印加時のバンプ一個あたりに作用する抗力が均一化される方向であり、特に実装基板としてガラスエポキシ系材料などの硬度の低い基板を用いた場合においても、電氣的に接続する全てのパッド部にクレータリングなどの機械的損傷を発生させることなく、接合強度を確保してバンプを

接合することが可能である。

【0024】また、上記の目的を達成するため、本発明の電子回路装置の製造方法は、半導体チップの回路パターンに接続するように、略多角形状に前記半導体チップ上に配列して形成された複数個のバンプを有する半導体装置を、電極を有する実装基板上に実装した電子回路装置の製造方法であって、前記バンプと前記電極とを位置合わせして前記半導体装置を前記実装基板上に載置する工程と、前記バンプと前記電極を密着させながら、前記半導体装置に対して超音波振動を印加する工程とを有し、前記略多角形状に配列されたバンプが構成する多角形の角部あるいは角部近傍のバンプを機械的接合のみに供せられるダミーバンプとする。

【0025】上記の本発明の電子回路装置の製造方法によれば、略多角形状に半導体チップ上に配列して形成された複数個のバンプを有する半導体装置に対して超音波振動を印加してバンプ接合を形成する方法において、クレタリングなどの機械的損傷を受けやすい多角形状の角部あるいは角部近傍のバンプを機械的接合のみに供せられるダミーバンプとするので、ダミーバンプにはクレタリングが発生しても問題が生じることはなく、角部あるいはその近傍を除くバンプに対して接合強度を所定の値以上にするように接合条件を最適化することができる。従って、特に実装基板としてガラスエポキシ系材料などの硬度の低い基板を用いた場合においても、電気的に接続する全てのパッド部にクレタリングなどの機械的損傷を発生させることなく、接合強度を確保してバンプを接合することが可能である。

【0026】また、上記の目的を達成するため、本発明の電子回路装置の製造方法は、半導体チップの回路パターンに接続するように、略多角形状に前記半導体チップ上に配列して形成された複数個のバンプを有する半導体装置を、電極を有する実装基板上に実装した電子回路装置の製造方法であって、前記バンプと前記電極とを位置合わせして前記半導体装置を前記実装基板上に載置する工程と、前記バンプと前記電極を密着させながら、前記略多角形状に配列されたバンプが構成する多角形の各辺と直交する方向毎に、複数回に分けて前記半導体装置に対して超音波振動を印加する工程とを有する。

【0027】上記の本発明の電子回路装置の製造方法によれば、略多角形状に半導体チップ上に配列して形成された複数個のバンプを有する半導体装置に対して超音波振動を印加してバンプ接合を形成する方法において、略多角形状に配列されたバンプが構成する多角形の各辺と直交する方向毎に、複数回に分けて半導体装置に対して超音波振動を印加するので、超音波振動印加時の各バンプ一個に作用する抗力が均一化される。従って、特に実装基板としてガラスエポキシ系材料などの硬度の低い基板を用いた場合においても、電気的に接続する全てのパッド部にクレタリングなどの機械的損傷を発生させる

ことなく、接合強度を確保してバンプを接合することが可能である。

【0028】

【発明の実施の形態】以下に、本発明の電子回路装置の製造方法の実施の形態について、図面を参照して説明する。

【0029】第1実施形態

図1(a)は、本実施形態において実装する半導体装置の断面図であり、図1(b)は平面図である。例えば、大きさが3mm×3mm、厚さが0.3mm程度の半導体チップ10の電子回路パターンの外周部を取り囲むようにチップ外周近傍において、上記電子回路パターンに接続するように、例えばアルミニウムなどからなるパッド電極11が形成されている。上記パッド電極11形成面は、例えば不図示の窒化シリコン層あるいはポリイミド層からなる表面保護膜に被覆されており、パッド電極11部分が開口している。上記開口部において、金などの導電体からなるバンプ12が形成されており、図6

(a1)のような配置で正方形形状に配列されている。例えば、金スタッドバンプ(金99.99%)の場合、金ワイヤを用いたワイヤボンディング法により、径が70～80μm、高さが50μm程度のバンプを形成することができる。バンプの半導体チップ当たりの数は、例えば75個とする。以上のようにペリフェラルパッド型の半導体チップ1が構成されている。

【0030】図2(a)は、上記の半導体装置1を実装する工程の側面図であり、図2(b)は要部平面図である。上記の半導体装置1を実装する実装基板2は、例えばガラスエポキシ系材料あるいはセラミックス系材料よりなる基板20の上面において、実装する半導体装置1のバンプ12形成位置に対応する位置に、例えば銅などからなる導電層の表面をメッキ処理によりニッケルおよび金などにより被覆され、例えば幅が50μm程度のランド(電極)21が形成されている。ランド21に接続して、基板20の表面上あるいは裏面上、もしくは両面上などに形成されている図示しないプリント配線部を有している。

【0031】半導体装置1を実装するには、まず、上記の半導体装置1のバンプ12と、実装基板2のランド21を対応させてマウント(載置)する。上記において、ホーン3の凸部(ボンディングツール)3aは半導体装置1を吸引などにより吸着する不図示の機構を有しており、超音波振動の振動方向Dvが、半導体チップの対角線方向など、正方形形状に配列されたバンプが構成する正方形の辺と平行である方向のいずれとも異なる角度を有する方向となるように、半導体装置1を吸着して、実装基板2上にマウントする。ホーン3の凸部3aは、半導体装置1を吸着する角度に合わせて所定の角度を有するように形成されている。

【0032】上記において、半導体チップの対角線方向

など、正方形形状に配列されたバンプが構成する正方形の辺と平行である方向のいずれとも異なる角度となるようにホーン3の凸部3aが半導体装置1を吸引して吸着するには、例えば図3(a)に示すように、凸部3aおよび吸引孔3bを有するホーン3を予め所定の角度に傾けておき、半導体装置1を傾けずに搬送する方法や、あるいは、図3(b)に示すように、凸部3aおよび吸引孔3bを有するホーン3は傾けず、半導体装置1を予め所定の角度に傾けて搬送する方法などにより実現できる。

【0033】次に、半導体装置1の上面をホーン3の凸部3a表面により圧力Pを印加し、バンプ12とランド21を密着させた状態で、ホーン3に接続された振動子4により方向D_vに振幅する超音波振動を発生させる。このとき、ホーン3は上記方向D_vに超音波振動の振幅を増幅しながら、バンプ12とランド21の密着箇所へ超音波振動を印加する。ホーンに印加する圧力Pは、例えば8kgf程度であり、印加する超音波振動は、例えば、10W、50kHz、振幅2μm、発振時間0.3秒～0.4秒とする。

【0034】上記において、ホーン3は例えば100℃程度に予め加熱されており、さらに上記の超音波振動を印加されたことによりバンプ12とランド21の密着箇所に摩擦熱が発生する。バンプ12が金からなり、ラン*

表1 超音波接合試験

試料 番号	超音波接合実験条件				実験結果	
	超音波 印加方向	圧力	振幅	発振 時間	バンパーランド 接合強度	クレータリング
1	対角線方向 (本発明)	8kgf	2μm	0.3秒	可	発生なし
2	辺方向 (従来例)	8kgf	2μm	0.3秒	優	一部発生(*)
3	対角線方向 (本発明)	8kgf	2μm	0.4秒	可	発生なし
4	辺方向 (従来例)	8kgf	2μm	0.4秒	優	一部発生(*)

(*) 超音波振動印加方向と直交する辺上のバンプに発生

【0037】上記表1に示すように、超音波振動の印加方向を正方形形状に配列されたバンプが構成する正方形の辺と平行とした場合(従来例)においては、バンパーランド接合強度は優れているものの、超音波印加方向と直交する方向の辺上のバンプにクレータリングが発生した。一方で、超音波振動の印加方向を正方形形状に配列されたバンプが構成する正方形の対角線方向とした場合(本発明)においては、バンパーランド接合強度は十分な強度が得られており、クレータリングは発生しなかった。

【0038】上記の電子回路装置の製造方法によれば、半導体チップの対角線方向など、半導体装置に対して正方形形状に配列されたバンプが構成する正方形の辺と平行である方向のいずれとも異なる方向に超音波振動を印

*ド21表面が金メッキされている場合には、バンプ12とランド21とが金属結合によりバンプ接合を形成するのに209℃以上の温度が必要であるが、上記摩擦熱によりバンプ12とランド21の密着箇所の温度が上記金属結合する温度を超え、バンプ12とランド21とを機械的、電氣的に接続することができる。このようにして、図4(a)の断面図およびその要部拡大図である図4(b)に示すような半導体装置1を実装基板2に実装した電子回路装置を製造することができる。

- 10 【0035】表1に、上記接合条件で実装したときのバンパーランド接合強度、およびクレータリングの有無を調べた実験結果を、各超音波接合実験条件とともにまとめた。なお、ここで、バンパーランド接合強度は、図5に示すように、半導体装置1を実装基板2に実装した電子回路装置を固定し、ダイシヤ強度測定用爪Jにより、半導体装置(チップ)1端面において、実装基板2などに対して平行な方向に加圧し、半導体装置(チップ)1が剥離されるときに強度を測定するダイシヤ強度の測定により行った。また、クレータリングの測定方法は、赤外線顕微鏡により半導体チップの母材のシリコンなどを透過してアルミニウムなどからなるパッド電極11の裏面を観察することにより行った。

【0036】

【表1】

- 40 加することにより、電氣的に接続する全てのパッド部にクレータリングなどの機械的損傷を発生させることなく、必要な接合強度を確保し、信頼性を増加させてバンパー接合することが可能である。

【0039】上記実施形態においては、正方形形状に配列されたバンプ配列パターンへの適用例について説明しているが、本発明はその他の様々な形状のバンプ配列パターンにも適用することができる。図6～図8は、適用可能なバンプ配列パターンを示した模式図であり、以下、詳しく説明する。

【0040】図6(a1)および同図中のC部拡大図である(a2)は、バンプ12が半導体チップの外周部に矩形形状に1列に配列されてバンプ配列方向D₁を構成しており、図6(b1)および同図中のC部拡大図であ

る (b 2) は、バンプ 1 2 が半導体チップの外周部に矩形形状に複数列 (例えば 3 列) に配列されて、バンプ配列方向 D_{B1} を構成しており、図 6 (c 1) および同図中の C 部拡大図である (c 2) は、バンプ 1 2 が半導体チップの外周部および中央部にそれぞれ矩形形状に 1 列ずつ配列されて、バンプ配列方向 D_{B1} を構成しているバンプ配列パターンを示す。

【0041】また、図 7 (d 1) および同図中の C 部拡大図である (d 2) は、バンプ 1 2 が半導体チップ全面 Y に配置されるエリアパッド化されたバンプ配列パターンを示し、図 7 (e) は半導体チップの外周部に多角形 (例えば 8 角形) 形状に 1 列に配列されてバンプ配列方向 D_{B1} を構成しているバンプ配列パターンを示す。

【0042】また、図 8 (f) は、バンプ 1 2 が半導体チップの外周部に矩形形状に 1 列に配列されたバンプ配列パターンにおいて、一部 Z のバンプが除かれている略矩形形状パターンを示し、図 8 (g) はバンプ 1 2 が直線形状に 1 列に配列されたバンプ配列パターンを示す。

【0043】上記の各バンプ配列パターンの半導体チップを実装する場合においては、超音波振動の印加方向は、バンプが略多角形状に配列されている場合には、それらバンプが構成する多角形の辺と平行である方向のいずれとも異なる方向、あるいはバンプが直線形状に配列されている場合には、それらバンプが構成する直線と平行である方向と異なる方向とする。

【0044】バンプが略多角形状に配列されている場合に、それらバンプが構成する多角形の辺と平行である方向のいずれとも異なる方向としては、バンプが構成する多角形の辺と超音波振動方向のなす角が例えば 20 度、40 度、60 度あるいは 80 度となるように、設定することができる。バンプが直線形状に配列されている場合も上記と同様に設定可能である。

【0045】例えば、図 9 (a 1) に示すように、半導体チップ上にバンプが正方形形状に配置されている場合には、図 9 (a 2) に示すように、バンプの構成する正方形の各辺の方向 (バンプ配列方向 D_{B1} 、 D_{B2}) と異なる方向 (例えばバンプ配列方向 D_{B1} 、 D_{B2} のそれぞれと 45 度の角度で交差する方向) に超音波振動方向 D_V を設定することができる。

【0046】また、例えば、図 9 (b 1) に示すように、半導体チップ上にバンプが正三角形形状に配置されている場合には、図 9 (b 2) に示すように、バンプの構成する正方形の各辺の方向 (バンプ配列方向 D_{B1} 、 D_{B2} 、 D_{B3}) と異なる方向 (例えばバンプ配列方向 D_{B2} 、 D_{B3} のそれぞれと 30 度の角度で交差し、バンプ配列方向 D_{B1} と直交する方向) に超音波振動方向 D_V を設定することができる。

【0047】上記の各バンプ配列パターンの半導体チップを実装する場合においては、超音波振動の印加方向は、バンプが略多角形状に配列されている場合には、略

多角形状に配列されたバンプが構成する多角形の各辺と直交する方向毎に、複数回に分けて半導体装置に対して超音波振動を印加してもよい。これによっても、超音波振動印加時の各バンプ一個に作用する抗力が均一化されるので、特に実装基板としてガラスエポキシ系材料などの硬度の低い基板を用いた場合においても、電氣的に接続する全てのパッド部にクレタリングなどの機械的損傷を発生させることなく、接合強度を確保してバンプを接合することが可能である。

10 【0048】例えば、図 10 (a) に示すように、半導体チップ上にバンプが正方形形状に配置されている場合には、バンプの構成する正方形の各辺の方向 (バンプ配列方向 D_{B1} 、 D_{B2}) と直交する方向に超音波振動印加方向 D_{V1} 、 D_{V2} を設定し、各方向毎に 2 回に分けて半導体装置に対して超音波振動を印加することができる。

【0049】例えば、図 10 (b) に示すように、半導体チップ上にバンプが 8 角形状に配置されている場合には、バンプの構成する 8 角形の各辺の方向 (バンプ配列方向 D_{B1} 、 D_{B2} 、 D_{B3}) と直交する方向に超音波振動印加方向 D_{V1} 、 D_{V2} 、 D_{V3} を設定し、各方向毎に 3 回に分けて半導体装置に対して超音波振動を印加することができる。

【0050】以上、本願発明の様々な実施の形態を説明してきたが、複数のバンプを任意の形状に配置し、従来の超音波接合方法によって接合した場合にバンプの配置位置によってクレタリングなどの機械的損傷が発生してしまうメカニズム、および本願発明の接合方法によって接合した場合にはそのような機械的損傷が発生しないメカニズムについて説明する。従来の超音波印加接合方法におけるクレタリングなどの機械的損傷が発生してしまうメカニズムとしては、以下の 2 点が考えられる。

30 【0051】図 11 (a) は半導体チップ上にバンプ 1 2 を多角形状に配置した半導体装置を実装基板上に超音波接合により実装するとき、バンプ 1 2 が構成する多角形の角部におけるバンプ配列を示す模式図である。半導体装置は、図 1 に示す構造と実質的に同様であり、半導体チップ 10 に形成されたパッド 11 上にバンプ 1 2 が形成されており、実装基板においては、基板 20 上にランド 21 が形成されている。図中の A-A' 部においては、超音波振動印加方向 D_V にバンプ 1 2 が整列配置されており、図 11 (a) 中の A-A' における断面図である図 11 (b) に示すように、超音波振動に印加によって、ランド 21 の近傍の実装基板表面付近およびパッド 11 の近傍の半導体チップ基板表面付近にも振動が発生する。このように発生した振動は実装基板あるいは半導体チップ基板を伝播し、近接のバンプに超音波ホーンから直接印加された振動とは別系統の振動を与える。上記の振動の伝播の仕方は基板の硬度に依存する。従って、バンプーランド接合面に加わる超音波振動に

50 は、直接ホーンから伝えられる振動に上記の振動が加わ

り、バンパーランド接合面の摩擦力は、図11(a)中のB-B'における断面図である図11(c)に示すように、超音波振動印加方向に対してバンプ12が単独で配置される場合とは異なってくる。

【0052】また、超音波接合時には、基板20は押圧力を受けているために、図11(b)および(c)に示すように、バンプ12やランド21は基板20に沈むような状態となる。この沈み込む深さは、基板20の硬度に依存する。このため、整列配置されたバンプ列の最端部のバンプの近傍、単独で配置されているバンプの近傍には、超音波振動印加方向に、基板20の表面に傾斜Rが形成されることになる。これに対して、図11(b)に示す整列配置されたバンプ列の最端部以外のバンプの近傍には、基板20表面に傾斜は形成されない。上記の傾斜Rは、超音波振動を印加した場合に、バンプの振動に影響を与えると考えられ、整列配置されたバンプと単独で配置されたバンプとでは、バンパーランド接合面の摩擦力が異なってくる。

【0053】上記のように考えられる2つの原因により、整列配置されたバンプと単独で配置されたバンプとではバンパーランド接合面の摩擦力が異なってくるため、一方のバンパーランド接合強度を十分に取ると他方では印加される振動が強くなりすぎてクレタリングなどの機械的損傷が発生し、あるいは、他方のバンパーランドに機械的損傷が発生しない程度に振動を抑制すると、一方のバンパーランド接合強度を十分に取ることができなくなると考えられる。従って、全てのバンプについて機械的損傷の発生を抑えるためには、バンプ1個あたりに作用する摩擦力、抗力を均一化するようにすればよいことがわかる。

【0054】次に、上記の本実施形態において、超音波振動印加時のバンプ1個あたりに作用する抗力を均一化して、クレタリングなどの機械的損傷を防止することができるメカニズムを説明する。図12(a)は半導体チップ上にバンプ12を多角形状(例えば正方形)に配置した半導体装置を実装基板上に超音波接合により実装するときの、バンプ12が構成する多角形(正方形)の角部におけるバンプ配列を示す模式図であり、バンプ12が構成する多角形(正方形)のいずれの辺とも異なる方向を振動印加方向Dvに設定している。図12(a)中の振動印加方向Dvに平行な断面であるA-A'における断面図が図12(b)であり、B-B'における断面図が図12(c)である。上記のように、全てのバンプが、超音波振動印加方向に対して単独に配置されているものと同様の配置状態となり、近接するバンプからの振動の影響は少なく、また、全てのバンプが同様の振動状態となり、整列配置されたバンプと単独で配置されたバンプとの差がなくなる。

【0055】また、図13(a)は半導体チップ上にバンプ12を整列配置した半導体装置を実装基板上に超音

波接合により実装するときのバンプ12配列を示す模式図であり、また、図13(a)中のA-A'における断面図が図13(b)であり、B-B'における断面図が図13(c)である。図13(a)中の破線R'は、図13(b)および(c)における基板20に表面に形成される傾斜Rの端部を示している。図13(c)に示すように、整列配置したバンプの配列方向に対して斜めに角度を付けた方向の断面では、整列配置したバンプの配列方向に対して直交する断面における断面よりも基板20表面に形成される傾斜Rの角度は緩やかであり、従って、整列配置されたバンプと単独で配置されたバンプとの間で振動の際の傾斜による影響は小さくなっている。上記の理由から、図7(d1)および(d2)に示すエリアパッド化されたバンプ配列パターンにおいては、エリア中央部のバンプは超音波振動印加時における上記の傾斜Rの影響を完全に受けずに済むので、エリアパッド化されたバンプ配列パターンにおいても全バンパーランド接合面に対して均等な振動を印加することが可能であり、本発明が有効となる。

【0056】上記の超音波振動印加時のメカニズムから、半導体装置に対して略多角形状に配列されたバンプが構成する多角形の辺と平行である方向のいずれとも異なる方向とは、バンプ1個あたりに作用する抗力を均一化する方向となっていると言える。また、上記のバンプ1個あたりに作用する抗力を均一化する方向は、言い換えれば、図14に示すように、超音波振動を印加する方向Dvに沿ったバンプ12間の距離(x1, x2, x3, ...)が、最小のバンプ12間の距離Xよりも大きくなる方向であると言えることができる。

【0057】また、上記の超音波振動印加時のメカニズムから、略多角形状に整列配置されたバンプを超音波接合する際に、多角形状の角部あるいは角部近傍のバンプは、他のバンプよりも基板表面に形成される傾斜などの影響を受けやすいため、クレタリングなどの機械的損傷を受けやすい位置となっていることがわかる。従って、図15(a)に示すように、バンプ配列方向Dvに多角形状(図面上は正方形)に配列されたバンプ列の角部あるいは角部近傍のバンプを機械的接合のみに供せられるダミーバンプMとすることにより、ダミーバンプにはクレタリングが発生しても問題が生じることはない。角部あるいはその近傍を除くバンプに対して接合強度を所定の値以上にするように接合条件を最適化することができる。従って、特に実装基板としてガラスエポキシ系材料などの硬度の低い基板を用いた場合においても、電氣的に接続する全てのパッド部にクレタリングなどの機械的損傷を発生させることなく、接合強度を確保してバンプを接合することが可能である。

【0058】上記のダミーバンプMとする角部あるいは角部近傍のバンプとしては、例えば図15(b)に示すように、バンプ12の配列の角部のバンプ、あるいは、

例えば図15(c)に示すように、バンプ12の配列の角部近傍のバンプとすることができる。

【0059】上記の電子回路装置の製造方法によれば、超音波振動を印加してバンプ接合を行うときに、従来よりも超音波エネルギーを増大させることができるので、従来よりもダイシエ強度を高めることが可能であり、バンプ高さの精度を緩和しても十分な接合強度を確保でき、さらに、超音波接合を行う生産設備の剛性や精度を緩和することができる。また、ガラスエポキシ系材料からなる基板を用いることができるので、電子回路装置の10コストを削減できる。

【0060】第2実施形態

本実施形態においては、第1実施形態と同様に、例えば図1(a)の断面図および図1(b)の平面図に示す半導体装置を実装する。例えば、大きさが3mm×3mm、厚さが0.3mm程度の半導体チップ10の電子回路パターンの外周部を取り囲むようにチップ外周近傍において、上記電子回路パターンに接続するように、例えばアルミニウムなどからなるパッド電極11が形成されている。上記パッド電極11形成面は、例えば不図示の窒化シリコン層あるいはポリイミド層からなる表面保護膜に被覆されており、パッド電極11部分が開口している。上記開口部において、金などの導電体からなるバンプ12が形成されており、図6(a1)のような配置で正方形形状に配列されている。例えば、金スタッドバンプ(金99.99%)の場合、金ワイヤを用いたワイヤボンディング法により、径が70~80μm、高さが50μm程度のバンプを形成することができる。バンプの半導体チップ当たりの数は、例えば75個とする。以上のようにペリフェラルパッド型の半導体チップ1が構成30されている。

【0061】上記の半導体装置1を実装する実装基板2は、第1実施形態と同様に、例えばガラスエポキシ系材料あるいはセラミックス系材料よりなる基板20の上面において、実装する半導体装置1のバンプ12形成位置に対応する位置に、例えば銅などからなる導電層の表面をメッキ処理によりニッケルおよび金などにより被覆され、例えば幅が50μm程度のランド(電極)21が形成されている。ランド21に接続して、基板20の表面上あるいは裏面上、もしくは両面上などに形成されている図示しないプリント配線部を有している。40

【0062】上記の半導体チップを実装するために、図16の模式構成図に示す超音波振動印加装置を用いて超音波接合する。ホルダ5aの上部に、振り振動子4が組付けられており、一方、ホルダ5aの下部にはホーン3が組付けられている。ホーン3の先端下部にはボンディングツール3aが備えられている。ボンディングツール3aには不図示の吸引孔が半導体チップ吸着面に形成されており、この吸引孔にはボンディングツール3a内部の吸引経路およびこれに連通する吸引管3cなどを介し50

てポンプなどの吸引手段が接続され、半導体チップを吸着することが可能な機構となっている。ホルダ5aには、振り振動の節となる部分にフランジ5bが接続して設けられており、さらに支持ブラケット5cが接続して設けられている。支持ブラケット5cは、上下駆動装置6aの移動テーブル6bに組付けされている。また、上下駆動装置6aの移動テーブル6bは、停止した状態で図面上下方に荷重をかけることができる構造となっている。上記の超音波振動印加装置は、振り振動子4で発生させた振り振動4bをボンディングツール3aの先端の吸着面に吸着した半導体チップに伝達する縦型超音波振動印加装置である。

【0063】上記の装置を用いて半導体チップ1を実装基板2に超音波接合により実装する方法を説明する。まず、図17に示すように、移動テーブル6bを上下駆動装置6aの上方に移動させた状態で、ボンディングツール3aの吸着孔3bが設けられている吸着面に半導体チップ1を供給し、ポンプなどの吸着孔3bに接続している吸引手段を作動させることで、半導体チップ1のバンプと実装基板のランドが対向するようにして、上記吸引面により半導体チップ1の上面を吸着して保持する。

【0064】次に、実装基板2を基台7上の所定の位置に配置し、図示しない光学装置により半導体チップ1のバンプと実装基板2のランドとの位置を確認して、バンプとランドの位置合わせを行う。次に、上下駆動装置を駆動して、バンプとランドが接するまで移動テーブル6bを移動させる。このとき、図16に示すように、移動テーブル6bの移動により、予め設定した大きさの荷重を図面上下方にかける。これにより、半導体チップ1のバンプの先端が、実装基板2のランドに所定の荷重Pで押しつけられることになる。

【0065】次に、振り振動子4aを駆動させて、振り振動4bを発生させる。振り振動4bは、ホルダ5a、ホーン3およびボンディングツール3aを介して伝達され、半導体チップ1に方向D_{TH}への振り振動を印加する。このとき、ホルダ5aは振り振動の節の位置となっているので、振り振動が発生してもホルダ5a近傍では振り振動の振幅は小さく抑えられている。

【0066】図18(a)は、上記の半導体チップ1に方向D_{TH}への振り振動を印加するときの半導体チップ部分を拡大した側面図であり、図18(b)は要部平面図である。ボンディングツール3aにより半導体チップ1の上面に圧力Pを印加し、バンプ12とランド21を密着させた状態で、ホーン3に接続された振り振動子4aにより方向D_{TH}に振り振動する超音波振動を発生させる。このとき、ホーン3は方向D_{TH}の振幅を増幅しながら、バンプ12とランド21の密着箇所へ超音波振動を印加する。

【0067】上記において、超音波振動を印加されたことによりバンプ12とランド21の密着箇所に摩擦熱が

発生する。この摩擦により、バンプ12とランド21の表面に形成されている付着物や酸化皮膜が破壊されて表面が平滑化される。さらに、バンプ12は荷重と振動の影響で潰されて変形し、最後には摩擦による熱の影響でバンプ12とランド21が発熱し、相互拡散あるいは拡散により固相接合される。このようにして、第1実施形態と同様の図4(a)の断面図およびその要部拡大図である図4(b)に示すような半導体装置1を実装基板2に実装した電子回路装置を製造することができる。

【0068】半導体チップ1の大きさが10mm角を越えるような大きさの場合や、実装基板の配線部の配線幅が大きい場合には、摩擦による発熱が半導体チップの上面や実装基板の内部内線などを通して急激に発散してしまうため、バンプとランドの接合面の温度が十分に上昇せず、固相接合が行われないことがある。この対策として、ボンディングツール3aあるいは基台7を予め100〜200℃程度に加温しておくことで、超音波振動印加時の摩擦熱の発散を効果的に防止することができる。

【0069】(変形例)超音波接合に最適な荷重は、バンプ1個あたり約100g前後である。このため、半導体チップ1個あたりのバンプの数が増えると、半導体チップにかかる荷重を増やさなければならない。その結果、半導体チップと実装基板との静止摩擦力が増大する。一般的に、バンプの数が半導体チップ1個あたり200個を越えると、半導体チップに超音波により振り振動を印加してもバンプの先端とランドの間で滑り、摩擦が発生しない場合がある。このような場合には、図19に示す縦型超音波振動印加装置を用いることが好ましい。実質的に図16に示す装置と同様であるが、振り振動子4aが、振り振動4bの他に垂直振動(実装基板に対する法線方向の振動)4cを発生させることができる複合振動子となっていることが異なる。上記の振り振動4bの他に垂直振動4cがボンディングツールに伝達されて、方向 D_{11} への振り振動と方向 D_{12} への垂直振動が発生し、バンプの先端とランドの間で安定した滑り摩擦を発生させることが可能である。上記の方法は、実装基板材料としてガラスエポキシなどの比較的柔らかい基板を用いた場合に特に有効である。

【0070】上記の本実施形態によれば、第1実施形態と同様に、超音波振動印加時のバンプ一個あたりに作用する抗力を均一化することができ、クレタリングなどの機械的損傷を防止し、接合強度を確保しながらバンプを接合して電子回路装置を製造することができる。

【0071】また、本実施形態に係る電子回路装置の製造方法では、半導体チップ1の真上方向にホーン3や振り振動子4aが配置されるため、半導体チップ1に荷重をかけたときにホーン3が撓んで半導体チップ1と実装基板2の平行度に変化するという従来の片支持式の超音波印加装置が有する欠点を解決することができる。また、本実施形態において用いる縦型超音波振動印加装置

は、従来の両支持式の超音波振動印加装置よりも設計や製作が容易であるという利点もある。

【0072】本実施形態においても、第1実施形態と同様に、様々な形状のバンプ配列パターンにも適用することができる。

【0073】本発明の電子回路装置の製造方法において、実装基板に実装する半導体装置としては、MOSトランジスタ系半導体装置、バイポーラ系半導体装置、BiCMOS系半導体装置、ロジックとメモリを搭載した半導体装置など、半導体装置であれば何にでも適用可能である。

【0074】本発明の電子回路装置の製造方法は上記の実施の形態に限定されない。例えば、バンプとしては、金以外の材料を用いてもよい。パッド電極の配置箇所は、半導体チップのペリフェラル部に限定されない。超音波振動の振動方向は、半導体チップの対角線方向の他、バンプ一個あたりに作用する抗力が均一化されるいずれの方向にも設定することができる。その他、本発明の要旨を逸脱しない範囲で種々の変更が可能である。

【0075】

【発明の効果】上記のように、本発明の電子回路装置の製造方法によれば、特に実装基板としてガラスエポキシ系材料などの硬度の低い基板を用いた場合においても、電氣的に接続する全てのパッド部にクレタリングなどの機械的損傷を発生させることなく、接合強度を確保してバンプを接合することが可能である。

【図面の簡単な説明】

【図1】図1(a)は第1実施形態、第2実施形態および従来例において実装する半導体装置の断面図であり、図1(b)は平面図である。

【図2】図2(a)は第1実施形態において半導体装置を実装する工程の側面図であり、図2(b)は要部平面図である。

【図3】図3は第1実施形態において超音波振動の振動方向とバンプの配列方向とが所定の角度となるように半導体装置を吸引して吸着する方法を説明する模式図である。

【図4】図4(a)は第1実施形態および第2実施形態において製造した電子回路装置の断面図であり、図4(b)は要部拡大図である。

【図5】図5はダイシエア強度を測定する方法を説明する断面図である。

【図6】図6(a1)はバンプが半導体チップの外周部に矩形形状に1列に配列されたバンプ配列パターンを示す模式図であり、図6(a2)はC部拡大図である。図6(b1)はバンプが半導体チップの外周部に矩形形状に複数列に配列されたバンプ配列パターンを示す模式図であり、図6(b2)はC部拡大図である。図6(c1)はバンプが半導体チップの外周部および中央部にそれぞれ矩形形状に1列ずつ配列したバンプ配列パターンを

示す模式図であり、図6(c2)はC部拡大図である。

【図7】図7(d1)はバンプが半導体チップ全面に配置されるエリアパッド化されたバンプ配列パターンを示す模式図であり、図7(d2)はC部拡大図である。図7(e)はバンプが半導体チップの外周部に8角形形状に1列に配列されたバンプ配列パターンを示す模式図である。

【図8】図8(f)はバンプが半導体チップの外周部に矩形形状に1列に配列されたバンプ配列パターンにおいて、一部のバンプが除かれている略矩形形状パターンを示す模式図であり、図8(g)はバンプ12が直線形状に1列に配列されたバンプ配列パターンを示す模式図である。

【図9】図9は多角形形状に配置されたバンプ配列に対する超音波振動方向の例を示す模式図であり、図9(a1)に示す正方形形状のバンプ配列に対しては図9(a2)に示すように超音波振動方向を設定でき、図9(b1)に示す正三角形形状のバンプ配列に対しては図9(b2)に示すように超音波振動方向を設定することができる。

【図10】図10は略多角形形状に配列されたバンプが構成する多角形の各辺と直交する方向毎に、複数回に分けて超音波振動を印加する場合の超音波振動方向の例を示す模式図であり、図10(a)は正方形形状のバンプ配列の場合、図10(b)は8角形形状のバンプ配列の場合を示す。

【図11】図11は半導体チップ上にバンプを多角形形状に配置した半導体装置を実装基板上に従来方法の超音波接合により実装するときの図11(a)はバンプが構成する多角形の角部におけるバンプ配列を示す模式図、図11(b)は図11(a)中のA-A'における断面図、図11(c)は図11(a)中のB-B'における断面図である。

【図12】図12は半導体チップ上にバンプを多角形形状に配置した半導体装置を実装基板上に本発明の超音波接合により実装するときの図12(a)はバンプが構成する多角形の角部におけるバンプ配列を示す模式図、図12(b)は図12(a)中のA-A'における断面図、図12(c)は図12(a)中のB-B'における断面図である。

【図13】図13は本発明によりバンプ一個あたりに作用する抗力が均一化されることを説明するための図13

(a)はバンプ配列を示す模式図、図13(b)は図13(a)中のA-A'における断面図、図13(c)は図13(a)中のB-B'における断面図である。

【図14】図14は本発明によりバンプ一個あたりに作用する抗力が均一化されることを説明するための模式図である。

【図15】図15は略多角形形状に配列されたバンプが構成する多角形の角部あるいは角部近傍のバンプをダミーバンプとする場合の図15(a)は模式図、図15

(b)は角部のバンプをダミーバンプとする場合のバンプ配列、図15(c)は角部近傍のバンプをダミーバンプとする場合のバンプ配列を示す。

【図16】図16は第2実施形態において用いる縦型超音波振動印加装置の模式構成図である。

【図17】図17は図16に示す縦型超音波振動印加装置に半導体チップを吸着させる工程を示す模式構成図である。

【図18】図18(a)は半導体チップに振り振動を印加するときの半導体チップ部分を拡大した側面図であり、図18(b)は要部平面図である。

【図19】図19は第2実施形態において用いる縦型超音波振動印加装置の変形例の模式構成図である。

【図20】図20(a)は従来例において半導体装置を実装する工程の側面図であり、図20(b)は要部平面図である。

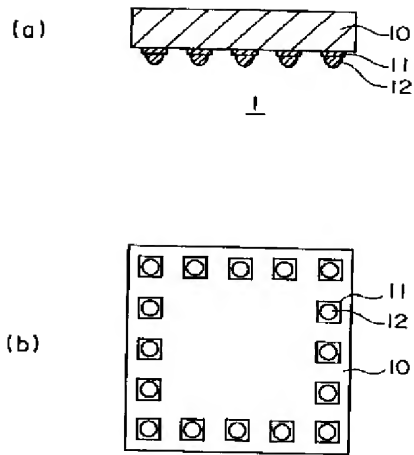
【図21】図21は従来例において製造した電子回路装置の断面図である。

【図22】図22は従来例に係る問題点を説明するための断面図である。

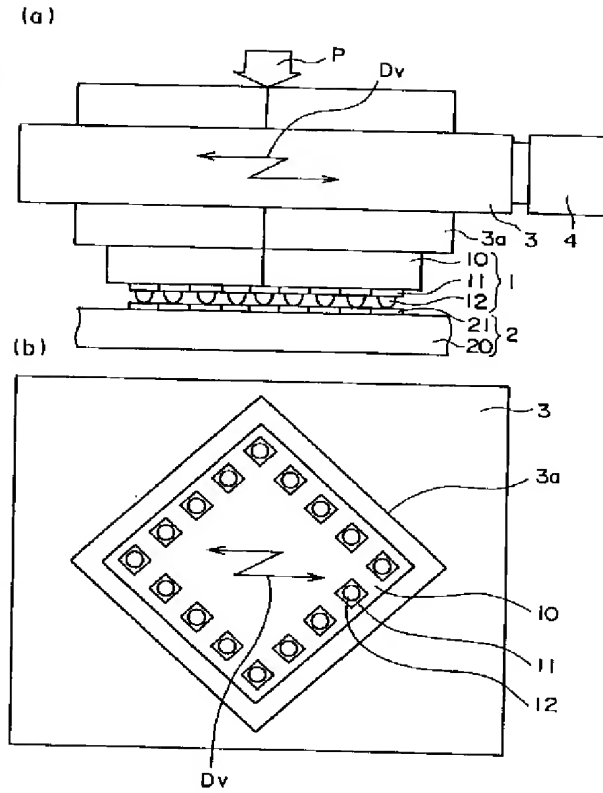
【符号の説明】

1…半導体装置、2…実装基板、3…ホーン、3a…凸部(ボンディングツール)、3b…吸引孔、3c…吸引管、4…振動子、4a…振り振動子、4b…振り振動、4c…垂直振動、5a…ホルダ、5b…フランジ、5c…支持ブラケット、6a…上下駆動装置、6b…移動テーブル、7…基台、10…半導体チップ、11…パッド電極、12…バンプ、20…基板、21…電極、D_v(D_{v1}, D_{v2}, D_{v3})、D_{tw}, D_{vt}…振動方向、D_B(D_{B1}, D_{B2}, D_{B3})…バンプ配列方向、J…ダイシエア強度測定用爪、K…クラック、M…ダミーバンプ、P…圧力、R…傾斜。

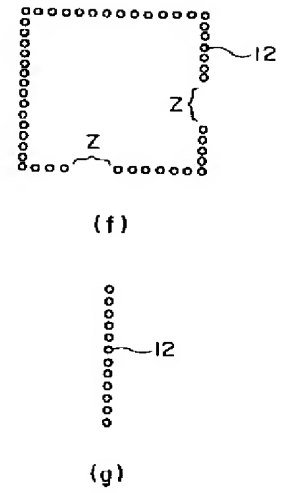
【図1】



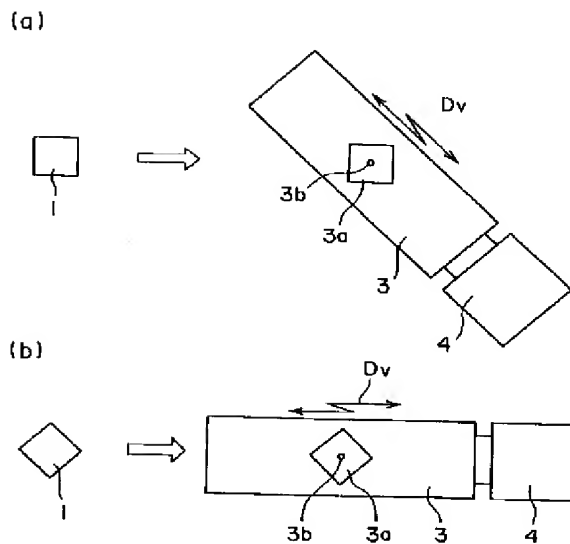
【図2】



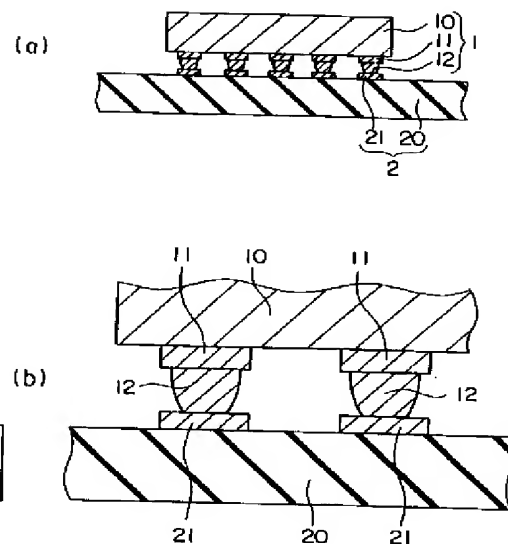
【図8】



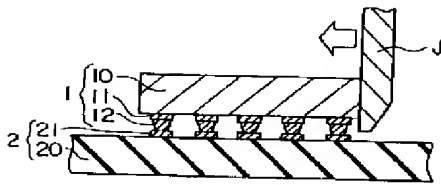
【図3】



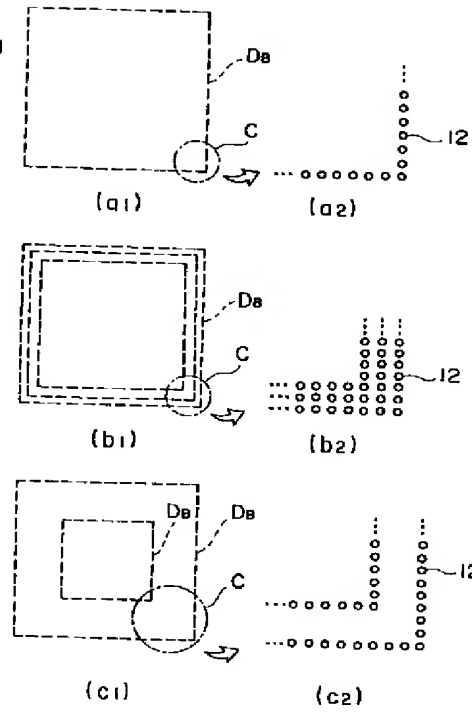
【図4】



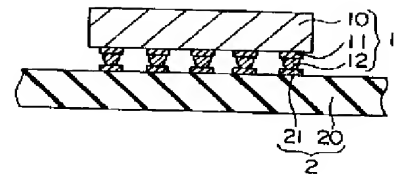
【図5】



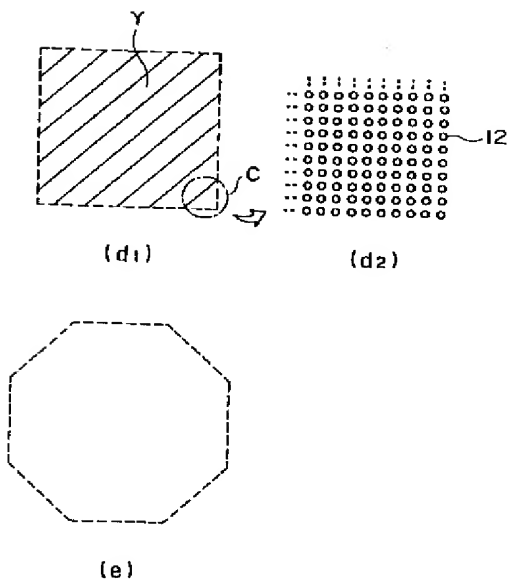
【図6】



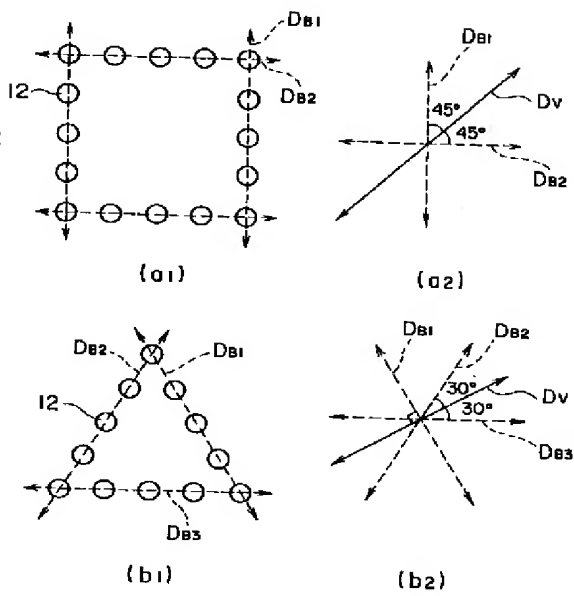
【図21】



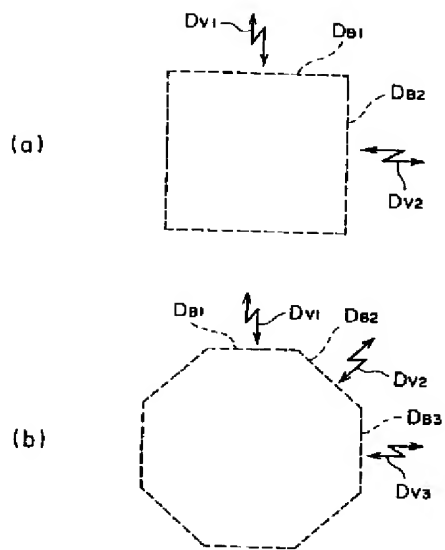
【図7】



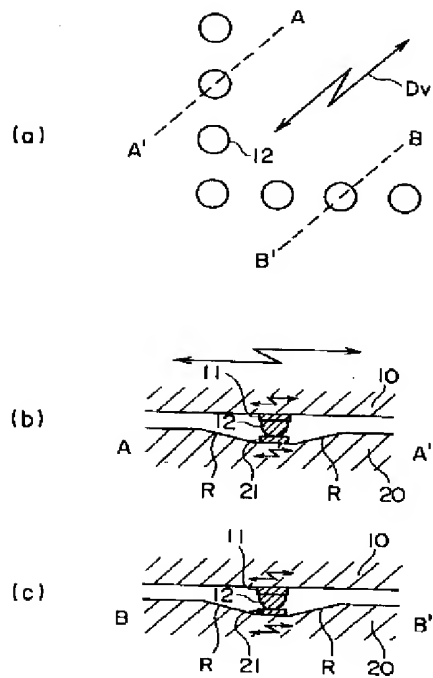
【図9】



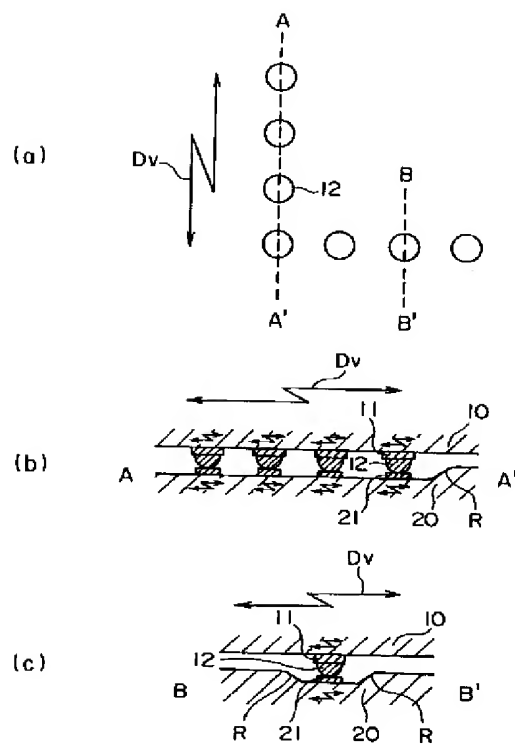
【図 10】



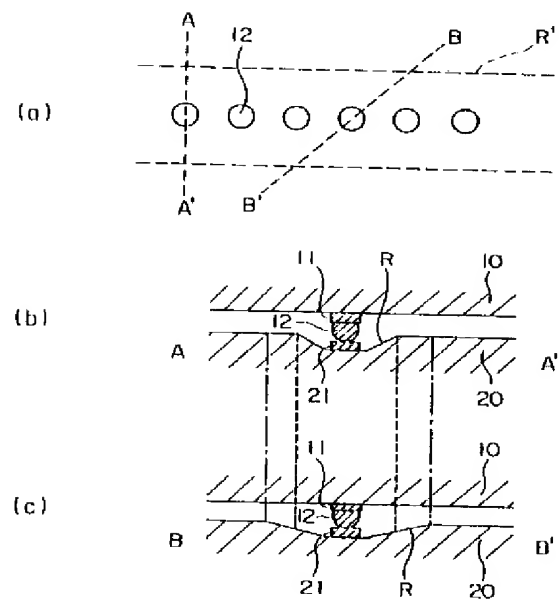
【図 12】



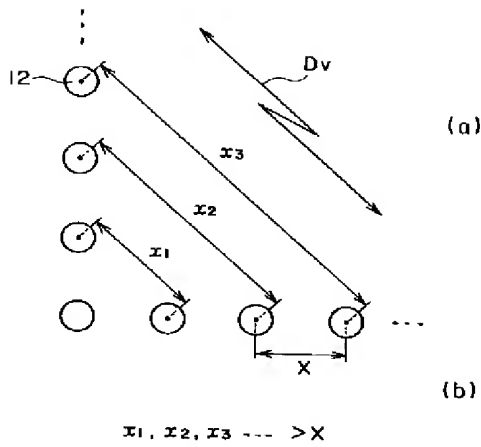
【図 11】



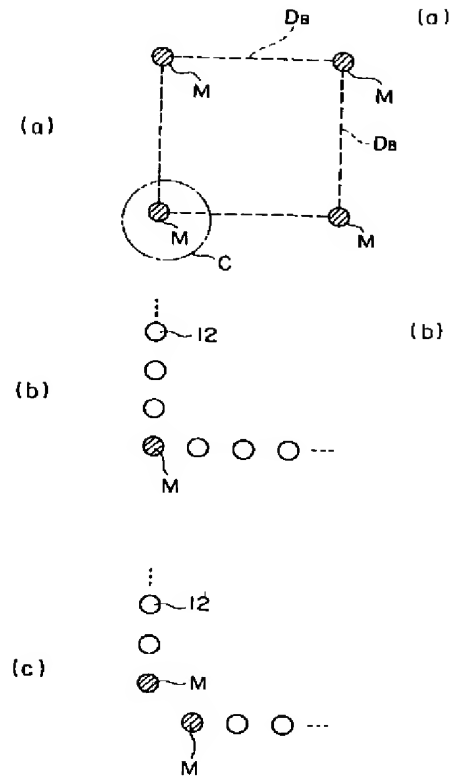
【図 13】



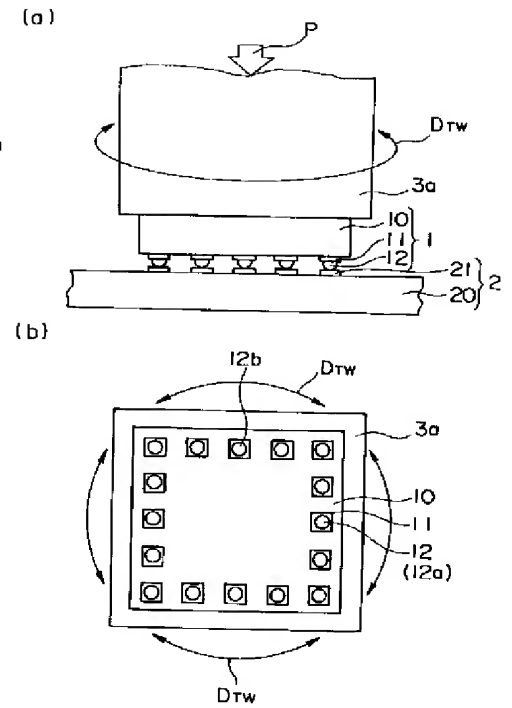
【図14】



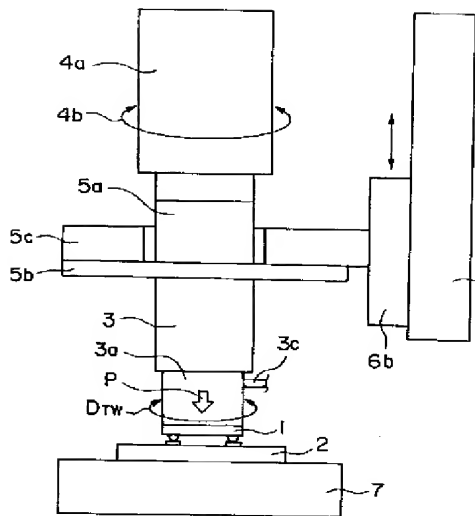
【図15】



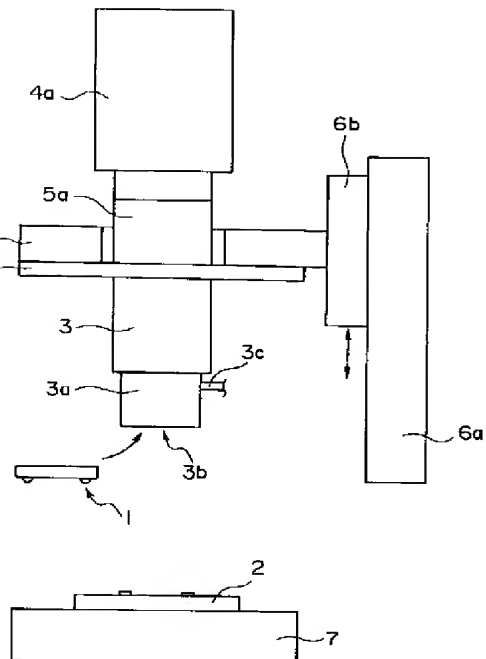
【図18】



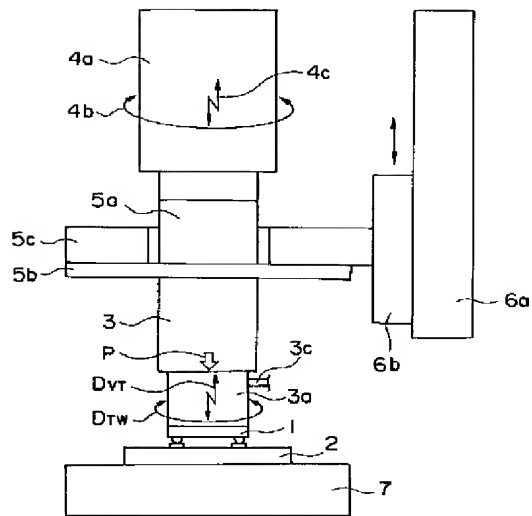
【図16】



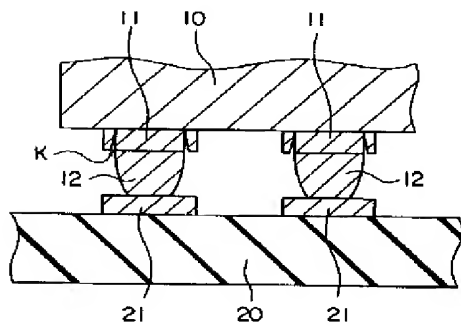
【図17】



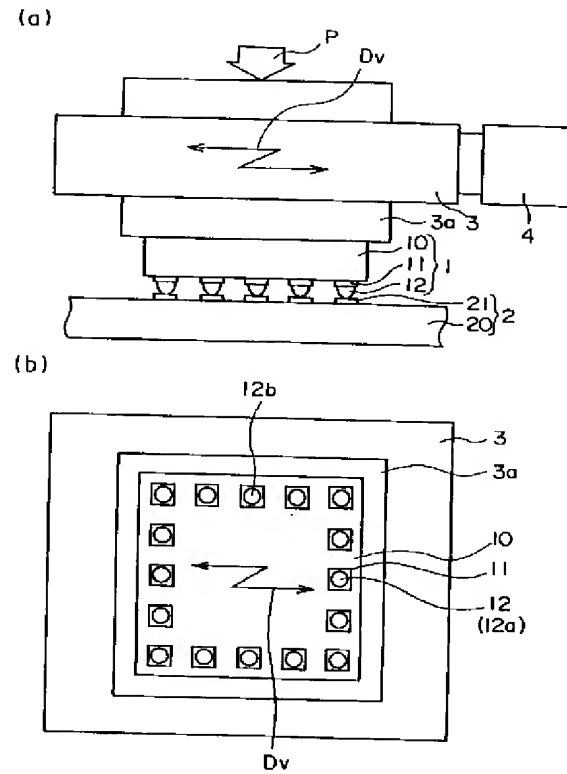
【図19】



【図22】



【図20】



フロントページの続き

(72)発明者 山崎 洋
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

Fターム(参考) 5E319 AA03 AB05 BB04 CC70 GG01
5F044 KK02 LL01 LL04 QQ01